

TITLE OF THE INVENTION

可変利得アンプ、固体撮像装置及び光信号読み出し方法

BACKGROUND OF THE INVENTION

1. Field of the Invention

本発明は、入力信号のレベルに応じて利得調整が可能な可変利得アンプと、ビデオカメラ、電子カメラ、画像入力カメラ、スキャナ又はファクシミリ等に用いられる、光信号をデジタル信号に変換して出力する固体撮像装置及び光信号読み出し方法に関する。

2. Description of the Prior Art

ＣＣＤ型イメージセンサやＭＯＳ型イメージセンサなどの半導体イメージセンサは量産性に優れているため、パターンの微細化技術の進展に伴い、多くの画像入力デバイス装置に適用されている。

特に、近年、ＣＣＤ型イメージセンサと比べて、消費電力が小さく、かつセンサ素子と周辺回路素子とを同じＣＭＯＳ技術によって作成できるという利点を有することから、ＣＭＯＳ型イメージセンサが注目されている。

そのようなＣＭＯＳ型イメージセンサが米国特許6,128,039に記載されている。この米国特許6,128,039のＣＭＯＳ型イメージセンサは、所謂アクティブピクセルセンサと呼ばれている。米国特許6,128,039から転記したFig.1に示すように、定電流源 M_4 等の能動負荷との組み合わせで、ソースフォロアにより信号電圧を出力させている。

米国特許6,128,039のＣＭＯＳ型イメージセンサでは、信号電荷蓄積用の負荷容量 C_1 及び読み出しトランジスタ M_2 のゲート－ソース間容量 C_{gs} が M_2 のゲートに直列に接続される。これらの容量は、電荷／電圧変換の固定容量に並列に入ったことになり、見かけ上の電荷／電圧変換の固定容量を変化させる。また、 M_2 のソースに接続された C_1 が充電されることで信号読み出しの間に M_2 のソース電位は大きく変化する。この電位変化は M_2 の C_{gs} を通して M_2 のゲートに帰還されるので、入力電位も変化し、伝達特性の線形性を著しく損なう。このために、このＣＭＯＳ型イメージセンサでは読み出しトランジスタ M_2 の負荷と

しての定電流源M4は不可避であった。

また、近年、イメージセンサには積分方式コラム型アナログ／デジタル変換器（以下、コラム型ADCと称する。）が搭載されるようになっている。そのコラム型ADCにおいては、コンパレータによりアナログ信号である光電気信号を所定の勾配を有する比較ランプ電圧と比較し、パルスカウンタにより光電気信号の大きさに対応するパルス計数値に変換する。

その場合、アナログ信号が小さいときには比較ランプ電圧の勾配も小さくしてダイナミックレンジを確保している。

さらに、多数の単位画素を水平方向及び垂直方向に配列した固体撮像装置では、動画再生時にサンプリング画素を間引きして残りの画素の検出信号のみを出力させ、フレームレートを増加させるようにしている。

しかしながら、列毎に定電流源M4を備えたイメージセンサでは、定電流源M4が個々に特性のばらつきを持つため、列毎に利得のばらつきを生じる。そのばらつきが列単位のオフセット差として現れ、画面で見たときに所謂縦の固定パターンノイズとなって現れる。

また、従来のイメージセンサから出力した信号電圧をコラム型ADCに入力させる場合、小さいアナログ信号に対応して比較ランプ電圧の勾配を小さくする。この場合、ランプ信号の線形性やコンパレータの比較精度により、及び光電変換素子等に生じるオフセット電圧の影響により、SN比が制限される。

更に、従来のイメージセンサでサンプリング画素を間引きすると、MTF（Modulation Transfer Function：解像力）が劣化し、モアレの多い画像になる。また、サンプリングを間引きしたため、サンプリング画素間隔の逆数に比例するサンプリング周波数の2倍以下に低下すると、そのため折り返しノイズが発生する虞がある。さらに、画素数に応じて高速にイメージセンサを動作させる必要があるため、消費電力が大きくなってしまう。

SUMMARY OF THE INVENTION

本発明は、上記従来技術の問題点に鑑みて発明されたものであり、光電気信号をデジタル化するに際して、ダイナミックレンジの向上を図りつつ、SN比の向上を図る

ことができる可変利得アンプ、固体撮像装置及び光信号読み出し方法を提供することを目的とする。

また、固定パターンノイズを低減し、さらに、サンプリング画素の間引きを行って低消費電力動作を維持しつつ、解像力の低下や折り返しノイズの発生を抑制することができる固体撮像装置及び光信号読み出し方法を提供することを目的とする。

本発明の可変利得アンプは、第 1 の信号電圧と、第 2 の信号電圧とを逐次入力することにより、第 1 の信号電圧及び第 2 の信号電圧を電荷に変換して、第 1 の信号電圧と第 2 の信号電圧との差信号を生成し、かつ差信号がデジタル符号化アナログ入力レベルの範囲内に入るような利得で差信号を増幅して出力することを特徴としている。

可変利得アンプは、所謂チョッパ型スイッチトキャパシタ型積分回路からなる。チョッパ型スイッチトキャパシタ型積分回路は、例えば、Fig.2に例示するように、参照電圧 V_{ref} が印加される正入力端子（+）、負入力端子（-）及び出力端子を有する演算増幅器 31 を備える。また、可変利得アンプ 105a の入力端子から演算増幅器 31 の負入力端子（-）に至る信号経路に設けられた入力容量 C_i （ C_1 ）を備える。また、演算増幅器 31 の負入力端子（-）と出力端子との間に設けられた複数の容量素子からなる帰還容量 C_f （ C_2 、 C_3 、 C_4 、・・・等）を備える。また、可変利得アンプ 105a の入力端子から入力容量 C_i の他端に至る信号経路を短絡し、或いは開放する第 1 のスイッチ素子 SW_1 、 SW_2 を備える。また、入力容量 C_i の他端への参照電圧 V_{ref} の入力をオンし、或いはオフする第 2 のスイッチ素子 SW_3 を備える。また、演算増幅器 31 の負入力端子（-）と出力端子との間を短絡し、或いは開放する第 3 のスイッチ素子 SW_4 を備える。

演算増幅器 31 の増幅利得の調整は以下のように行なうことができる。

即ち、帰還容量 C_f を構成する C_2 、 C_3 、 C_4 、・・・等の容量素子は、各容量素子の演算増幅器 31 の入出力間への接続及び非接続を制御するスイッチ素子（ SW_5 、 SW_6 ・・・等）に接続されているので、スイッチ素子（ SW_5 、 SW_6 ・・・等）を選択的に接続或いは非接続として適当な容量素子を選択し、演算増幅器 31 の入出力間に接続することができる。これにより、帰還容量 C_f の容量値を加減して、帰還容量 C_f に対する入力容量 C_i の比（ C_i / C_f ）を調整す

また、別の本発明によれば、Fig.7に例示するように、少なくとも2つの列のアンプ105 a、105 b間、より詳しくは少なくとも2つの列のアンプ105 a、

105bの演算増幅器31同士の負入力端子間にこれらの間を接続し、或いは非接続とする画素混合スイッチ素子SMを設けている。この構成は、動画を扱う固体撮像装置の場合に最適である。

そして、上記構成で、画素混合スイッチ素子SMをオンにして少なくとも2つの列の画素101からの信号を混合し、平均化することにより、間引き動作を行なうことができる。

この場合に、走査上間引きを行なっても、走査上間引きされた画素101位置における信号として平均化された信号が出力されるので、解像力の低下を防止することができる。また、サンプリング周波数は低下しないので折り返しノイズの発生を防止することができ、良質な画像が得られる。また、間引きに応じて信号処理回数が減るので、消費電力を低減することができる。

BRIEF DESCRIPTION OF THE DRAWING

Fig.1 は、従来例に係る固体撮像装置の回路の構成を示す図である。

Fig.2 は、この発明の第1の実施の形態に係る可変利得アンプを示す回路図である。

Fig.3 は、この発明の第1の実施の形態に係る可変利得アンプを備えた固体撮像装置の回路構成を示す図である。

Figs.4A, 4B は、Fig.3 の固体撮像装置の回路構成のうち信号処理回路（コラム型ADC）の動作を示す図である。

Fig.5 は、この発明の第1の実施の形態の固体撮像装置を動作させる際のタイミングチャートである。

Fig.6 は、この発明の第1の実施の形態に係る固体撮像装置の差信号生成動作のタイミングチャートである。

Fig.7 は、この発明の第2の実施の形態に係る信号出力回路を備えた固体撮像装置の回路の構成を示す図である。

Fig.8 は、この発明の第2の実施の形態に係る固体撮像装置の画素混合動作のタイミングチャートである。

Fig.9 は、この発明の第1及び第2の実施の形態に係る固体撮像装置を構成する光センサアレイの画素内の素子構造を示す平面図である。

Fig.10 は、同じく、Fig.9 の I - I 線に沿う断面図である。

DESCRIPTION OF THE PREFERRED EMBODIMENT

以下に、本発明の実施の形態について図面を参照して説明する。

(第 1 の実施の形態)

(i) 可変利得アンプの構成

Fig.2を参照して、この発明の第 1 の実施の形態である可変利得アンプ 105 a の詳細な構成について説明する。この可変利得アンプ 105 a は 2 つの信号についての差信号を生成することができる増幅回路であり、特に差信号の大きさに応じて増幅率を変化させることができるという特徴を有する。

可変利得アンプ 105 a は、Fig.2に示すように、正入力端子 (+)、負入力端子 (-) 及び出力端子を有する演算増幅器 31 を備えている。正入力端子 (+) には参照電圧 (V_{ref}) が入力され、負入力端子 (-) には、例えば、光センサアレイ 100 の光電変換素子 101 の出力である第 1 の信号電圧 V_t 及び第 2 の信号電圧 V_n が入力される。出力端子からは、第 2 の信号電圧 V_n を第 1 の信号電圧 V_t から除いた差信号 V_s ($= V_t - V_n$) が出力される。

また、可変利得アンプ 105 a の入力端子から演算増幅器 31 の負入力端子に至る信号経路にスイッチ素子 SW_1 及び SW_2 と、コンデンサ C_1 からなる入力容量 C_i とが直列接続されている。入力容量 C_i の一端がスイッチ素子 SW_1 、 SW_2 を介して可変利得アンプ 105 a の入力端子と接続され、入力容量 C_i の他端が演算増幅器 31 の負入力端子と接続されている。スイッチ素子 SW_1 及び SW_2 が第 1 のスイッチ素子を構成する。

スイッチ素子 SW_1 は単体の n チャネル MOS トランジスタからなり、スイッチ素子 SW_2 は 1 以上の MOS トランジスタで構成された伝達ゲートからなる。ともに入力容量 C_i の一端への入力信号の入力をオン／オフする。可変利得アンプ 105 a の入力端子に、例えば光電変換素子 101 の出力端が接続され、光電変換素子 101 を初期化するためにその出力端を通して大きな正の電圧を印加する場合に、第 1 のスイッチ素子のうちスイッチ素子 SW_1 が有効に働き、可変利得アンプ 105 a への高電圧の入力を阻止する。

なお、図面では、上記のスイッチ素子SW1乃至SW6を模式的に記載しているが、上で説明したスイッチ素子SW1及びSW2と同様に実際には1つ以上のトランジスタなどを用いて同じ機能を得ることができる。

(i) 固体撮像装置の構成

次に、Fig.2の可変利得アンプ105aを適用した固体撮像装置について説明する。

Fig.3は、この発明の第1の実施の形態である固体撮像装置の回路構成図である。この固体撮像装置は、Fig.3に示すように、光センサアレイ100と、信号出力回路107とを備えている。信号出力回路107は、Fig.2の可変利得アンプ105aを列毎に配置した差信号生成回路105と、コラム型アナログ／デジタル変換器（以下、コラム型ADCと称する。）106とを備えている。行に並ぶ画素（光電変換素子）101のMOSトランジスタを駆動して光の入射量に比例し、第2の信号電圧 V_n 成分を含まないデジタル化された映像信号（ V_{out1} 、 \dots 、 V_{outn} ）が行毎に信号出力回路107から出力される。

まず、光センサアレイ100について説明する。この光センサアレイ100は、2次元の構成を採っており、画素101が行方向及び列方向にマトリクス状に配列されている。

次いで、画素101内の素子構造について説明する。Fig.9は、画素101内における素子レイアウトについて示す平面図である。また、Fig.10は、Fig.9のI—I線に沿う断面図に相当する、画素内の素子断面の構造について示す断面図である。

画素101は、受光ダイオード111と光信号検出用MOSトランジスタ112とが隣接して設けられている。

これら受光ダイオード111とMOSトランジスタ112は、それぞれ異なるウェル領域、即ち第1のウェル領域15aと第2のウェル領域15bに形成され、それらのウェル領域15a、15bは互いに接続されている。受光ダイオード111が形成された第1のウェル領域15aは光照射による電荷の発生領域の一部を構成している。MOSトランジスタ112が形成された第2のウェル領域15bはこの領域15bに付与するポテンシャルによってチャネルの閾値電圧を変化させることができるゲート領域を構成している。

MOSトランジスタ112のドレイン領域17aはリング状のゲート電極19の外周部を取り囲むように形成され、ソース領域16はリング状のゲート電極1

9の内周に囲まれるように形成されている。

ドレイン領域17aが延在して受光ダイオード111の不純物領域17が形成されている。即ち、不純物領域17と低濃度のドレイン領域17aとは互いに接続した第1及び第2のウェル領域15a, 15bの表層に大部分の領域がかかるように一体的に形成されている。

さらに、この固体撮像素子の特徴であるキャリアポケット（高濃度埋込層）25は、ゲート電極19下の第2のウェル領域15b内であって、ソース領域16の周辺部に、ソース領域16を取り囲むように形成されている。

ドレイン領域17aはコンタクト領域17bを通してドレイン電圧（VDD）供給線（又はドレイン電極）22と接続され、ゲート電極19は垂直走査信号（VSCAN）供給線21に接続され、ソース領域16は垂直出力線（又はソース電極）20に接続されている。

また、上記画素101の構成要素は光透過性の絶縁膜により被覆されており、受光ダイオード111の受光窓24以外の領域は絶縁膜の上に形成された金属層（遮光膜）23により遮光されている。

次に、Fig.2、Fig.3、Fig.9、Fig.10を参照して行と列に配列された画素101を駆動する周辺回路について説明する。図示していないが、センサアレイ100の周辺には画素101を走査する信号を供給する、垂直走査信号（VSCAN）の駆動走査回路及びドレイン電圧（VDD）の駆動走査回路が配置されている。

垂直走査信号（VSCAN）の駆動走査回路から垂直走査信号供給線21が行毎に一つずつ接続され、各垂直走査信号供給線21は行方向に並ぶ全ての画素101内のMOSトランジスタ112のゲート19に接続されている。

また、ドレイン電圧供給線（VDD供給線）22はドレイン電圧（VDD）の駆動走査回路から行毎に一つずつ接続され、各ドレイン電圧供給線（VDD供給線）22は、行方向に並ぶ全ての画素101内のMOSトランジスタ112のドレイン17aに接続されている。

また、列毎に異なる垂直出力線20a, ..., 20nが設けられて、各垂直出力線20a, ..., 20nは列方向に並ぶ全ての画素101内のMOSトランジスタ112のソース16にそれぞれ接続されている。また、各垂直出力線20

a, ..., 20nには画素101を初期化するための大きな正の電圧を供給する図示しない昇圧回路が接続されている。即ち、列毎に各画素101のMOSトランジスタ112のソース16に昇圧された電圧が印加される。昇圧された電圧はさらにMOSトランジスタ112のゲートーソース間の容量を通して結果的にゲート19にかかる。これにより、ウエル領域15a、15bにかかる電界強度を増して、キャリアの掃き出しを促進することができる。

さらに、MOSトランジスタ112のソース16は垂直出力線20a, ..., 20nを通して信号出力回路107の入力端と接続している。言い換えれば、ソース16は列毎に上記の差信号生成回路105内の可変利得アンプ105aの入力端に接続し、信号読み出しのときFig.2に示す入力容量 C_i に直結することになる。なお、Fig.3では省略しているが、実際には垂直出力線20a, ..., 20nの途中にはスイッチ素子等が設けられて信号の流れを制御している。

差信号生成回路105の入力端に第1の信号電圧 V_t 及び第2の信号電圧 V_n が入力され、差信号生成回路105の出力端子からは、画素101を初期化したときに発生する第2の信号電圧 V_n を第1の信号電圧 V_t から除いた差信号 V_s ($=V_t - V_n$)が出力される。さらに、差信号生成回路105の出力は列毎にコラム型ADC106の入力端に接続している。

差信号生成回路105においては、外部からの信号 G_{sel1} , G_{sel2} により帰還容量 C_f の容量値を選択して差信号 V_s の大きさがデジタル符号化アナログ入力レベルの範囲内に適合するように利得調整することができ、出力端子からはアナログ出力レベルが調整された差信号 V_s 又は $V_{s\ amp}$ が出力される。

コラム型ADC106は、Fig.4A, Fig.4Bに示すように、不図示のコンパレータによりアナログ信号である差信号 V_s 又は $V_{s\ amp}$ を所定の勾配を有する比較ランプ電圧 V_L と比較し、不図示のパルスカウンタにより差信号 V_s 又は $V_{s\ amp}$ の大きさに対応するパルス計数値 N_c 又は N_{ca} に変換する。なお、パルス計数値 N_{ca} は、増幅利得を考慮した係数を乗じて実際の差信号 V_s に対応するパルス計数値 N_c に変換される。

デジタル化された映像信号は、行毎の画素並びに対応して、コラム型ADC106の出力端子から出力される。

以上のように、この発明の実施の形態の固体撮像装置によれば、光信号に対応する差信号をデジタル符号化アナログ入力レベルの範囲内に適合するような利得で増幅することができる。

また、上記した固体撮像装置は、画素 101 の出力端であるソース 16 に定電流源などの能動負荷を接続しなくても光信号を読み出し得ることを特徴としている。これは、信号検出用 MOS トランジスタ 112 がチャンネル下、ソース領域 16 を囲むように光発生電荷（ホール）を蓄積する高濃度埋込層 25 を備えていることによる。この理由は、以下の通りである。

p 型の高濃度埋込層 25 のポテンシャル井戸に光発生ホールを蓄積して、空乏化したウエル領域 15b 内の負の空間電荷を変化させることにより、閾値が変調されて、MOS トランジスタ 112 の表面電位が決定される。このとき、外部電源によりゲート電位は一定電位に保たれているので、表面電位はポテンシャル井戸に蓄積された光発生ホールにより一意的に決まる。高濃度埋込層 25 に蓄積された光発生ホールの状態はソース電位の影響を受けないので、信号電荷蓄積容量を負荷とするソースフォロワを形成して信号を読み出す場合、たとえ信号読み出しの間にソース電位が変化しても高濃度埋込層 25 に不要な帰還作用を及ぼさない。従って、MOS トランジスタ 112 のソース領域 16 に定電流源を接続してソースーゲート間の電位差を一定に保つ必要がないため、特性を揃えることが容易な容量のみをソースフォロワの負荷としても表面電位をソースに伝えることができる。

これにより、固定パターンノイズを抑制しつつ信号読み出しが可能となる。

(iv) 光信号の検出動作及び読み出し動作

次に、Fig.4 to Fig.6を参照して、本発明の第 1 の実施の形態に係る光信号の検出動作及び読み出し動作を説明する。

Fig.4A, Fig.4Bは、コラム型 ADC 106 の動作を示す図である。

Fig.5は、画素 101 に着目して、光信号の検出動作及び読み出し動作を説明するタイミングチャートである。上記した光信号検出用 MOS トランジスタが n MOS の場合に適用する。

Fig.6は差信号生成回路 105 を動作させるためのタイミングチャートを示す。

称する。)として、スイッチ素子SW2, SW4をオン状態とし、かつ信号Load, RSMをいずれもLowレベル(以下、Lレベルと称する。)として、スイッチ素子SW1, SW3をオフ状態とする。

蓄積期間の終了時の期間(入力容量初期化期間)に、信号Load, SCM, RSM, CLM, Gsel1, Gsel2をいずれもHレベルとして、スイッチ素子SW1, SW2, SW3, SW4, SW5, SW6をオン状態とし、入力容量CiであるコンデンサC1、帰還容量CfであるコンデンサC2、C3、C4の電荷を初期化する。

その後、センサ信号読込み期間(読出期間)では、信号RSMをLレベルとして、スイッチ素子SW3をオフ状態とする。他のスイッチ素子SW1, SW2, SW4は前の状態のまま保持する。これにより、可変利得アンプ105aの入力容量Ciに、それぞれ画素101からの第1の信号電圧Vtが供給される。但し、この第1の信号電圧Vtには、光信号成分Vsと第2の信号電圧成分Vnが含まれている。

このとき、可変利得アンプ105aの入力容量Ciの両側の電位差は $V_t - V_{ref}$ となる。そして、スイッチ素子SW4がオン状態であるので、可変利得アンプ105aの演算増幅器31の出力は V_{ref} となる。

画素初期化期間(初期化期間)では、信号Load, SCMをLレベルとして、スイッチ素子SW1, SW2をオフ状態とする。他のスイッチ素子SW3, SW4は前の状態のまま保持する。この間に、画素101の出力端に高い電圧を供給し、画素を初期化する。即ち、受光ダイオード111及びMOSトランジスタ112内の蓄積電荷を空にする。

その後、ノイズ読出期間では、立ち上がり時の期間(信号線初期化期間)に、図示しないスイッチ素子を介して垂直出力線20a, ..., 20nを接地電位とし、信号SCMをLレベルとして、スイッチ素子SW2をオフ状態のまま保持する。さらに、信号CLMをLレベルとして、スイッチ素子SW4をオフ状態にするとともに、信号Gsel1をHレベルとして、スイッチ素子SW5をオン状態にして容量素子C3を選択し、帰還容量Cfを入力容量Ciと等しくなるように設定する。ここでは、入力容量Ciの容量値と等しい容量値を $C_2 + C_3$ とする。さ

らに、信号Load, RSMをHレベルとして、スイッチ素子SW1, SW3をオンにする。これにより、可変利得アンプ105a内の信号線に蓄積されている電荷を初期化する。また、入力容量Ciの一端側がVrefとなるため入力容量Ciに蓄積されていた電荷 $C_i \cdot (V_t - V_{ref})$ が帰還容量Cf(=C2+C3)に転送される。入力容量Ciの両端の電位差は0となる。

信号線初期化期間の経過後、信号SCMをHレベルとして、スイッチSW2をオン状態にするとともに、信号RSM, CLMをLレベルとして、スイッチSW3, SW4をオフ状態にする。また、信号Gsel1をHレベルとして、SW5をオン状態にして容量素子C3を選択する。これにより、可変利得アンプ105aの入力容量Ciの両端の電位差が0から $V_n - V_{ref}$ に変化する。これに対応する電荷 $C_i \cdot (V_t - V_n) / C_f (=V_s)$ が帰還容量Cfにも蓄積され、演算増幅器31の出力は差信号Vsを含む信号電圧($V_{ref} - V_s$)となる。

次いで、差信号Vsとデジタル符号化アナログ入力レベルの範囲と比較する。差信号Vsの大きさがデジタル符号化アナログ入力レベルの範囲のときには、コラム型ADC106にそのまま出力する。

一方、差信号Vsの大きさが、例えばデジタル符号化アナログ入力レベルの範囲の下限值よりも小さいときには、外部からの信号により、差信号Vsの大きさがその下限値よりも大きくなるような利得で差信号Vsが増幅されるように、帰還容量Cfの容量値を選択する。ここでは、必要な増幅利得が得られる容量値を $C_2 + C_4 (< C_2 + C_3)$ とすると、Gsel1をLレベルとしてSW5をオフ状態にするとともに、Gsel2をHレベルとしてSW6をオン状態にし、帰還容量Cfとして容量素子 $C_2 + C_4$ を選択する。

そして、入力容量Ci及び帰還容量Cfを初期化した後、新たに第1の信号電圧Vtを入力容量Ciに入力して電荷に変換し、続いて、帰還容量Cfに転送する。続いて、第2の信号電圧Vnを入力容量Ci及び帰還容量Cfに入力して電荷に変換する。即ち、可変利得アンプ105aの入力容量Ciである容量素子C1の両側の電位差が $V_t - V_{ref}$ から0を経て $V_n - V_{ref}$ に変化する。これに対応する電荷 $C_i \cdot (V_t - V_n) / C_f (=V_{s\ amp})$ が帰還容量Cfである容量素子($C_2 + C_4$)にも蓄積され、演算増幅器31の出力から増幅された差信号

まず、光発生ホールの蓄積動作から信号線の初期化動作までは、画素混合スイ

スイッチ素子 S_M が非接続とされて、第 1 の実施の形態の Fig.6 で説明した動作と同様な動作を行う。これにより、可変利得アンプ 105 a の帰還容量 C_f に電荷 $C_i \cdot (V_{ta} - V_{ref})$ が蓄積され、可変利得アンプ 105 b の帰還容量 C_f に電荷 $C_i \cdot (V_{tb} - V_{ref})$ が蓄積されるとともに、入力容量 C_i を含む信号線が初期化された状態となる。

次いで、ノイズ読出し動作に移行し、信号 $MODE$ を H レベルとしてスイッチ素子 S_M を接続し、2 つの列の可変利得アンプ 105 a、105 b に係る演算増幅器 31 の負入力端子同士を接続する。これにより、画素混合が可能な状態となる。このとき、同時に、スイッチ素子 SW_1 を接続し、かつスイッチ素子 SW_4 を開放状態に保持したまま、信号 SCM を H レベルとしてスイッチ素子 SW_2 を接続し、信号 ISM を L レベルとしてスイッチ素子 SW_3 を開放する。これにより、画素 101 からの第 2 の信号電圧 V_{na} 、 V_{nb} が入力可能な状態となる。

可変利得アンプ 105 a においては、画素 101 からの第 2 の信号電圧 V_{na} の入力により、コンデンサ C_1 の両端の電位差が 0 から $V_{na} - V_{ref}$ に変化し、 C_2 の両端の電位差が $C_1 \cdot (V_{ta} - V_{na}) / C_2$ に変化するはずである。また、可変利得アンプ 105 b においては、画素 101 からの第 2 の信号電圧 V_{nb} の入力により、コンデンサ C_1 の両端の電位差が 0 から $V_{nb} - V_{ref}$ に変化し、 C_2 の両端の電位差が $C_1 \cdot (V_{tb} - V_{nb}) / C_2$ に変化するはずである。この場合、スイッチ素子 S_M により可変利得アンプ 105 a、105 b 相互の C_2 の入力端が接続されているので、各々の C_2 に別々に蓄積されるはずの電荷が混合され、平均化されるので、各々の C_2 の両端の電位差 ΔV_0 は略 $C_1 / C_2 \cdot ((V_{ta} - V_{na}) + (V_{tb} - V_{nb})) / 2$ となる。また、各演算増幅器 31 の出力は $V_{ref} - \Delta V_0$ となる。この後、適宜信号処理して G の映像信号を映像信号出力端子から出力する。

ところで、従来の一般的な固体撮像装置では、サンプリング画素を間引きするため、MTF が劣化してモアレの多い画像になったり、折り返しノイズが発生したりする。また、イメージセンサを高速で動作させる必要があるため、消費電力が大きくなってしまふ。

これに対して、本実施の形態では、スイッチ素子 S_M を接続することにより、

少なくとも2つの列の同一色の画素信号を混合し、平均化して間引きに係る映像信号を生成している。従って、間引きを行なっても、サンプリングに伴うMTFの劣化を防ぐことができる。また、走査上間引きされた画素101位置における平均化された映像信号が出力されるので、サンプリング周波数は低下しない。これにより、折り返しノイズの発生を防止することができる。

また、間引きに応じて信号処理回数が減るので、消費電力の増大が回避される。

さらに、内部スイッチ素子SMの切り替えのみで通常の動作と間引き動作を行うことができるというように、簡単な手段で信号出力回路の多機能化を図ることができる。

以上、第2の実施の形態によりこの発明を詳細に説明したが、この発明の範囲は上記実施の形態に具体的に示した例に限られるものではなく、この発明の要旨を逸脱しない範囲の上記実施の形態の変更はこの発明の範囲に含まれる。

例えば、上記の第2の実施の形態では、画素の色配列としてベイヤ方式の基本形の色フィルタアレイ配列を用いているが、他の方式の色フィルタアレイ配列を用いることも可能である。

また、この発明が適用される固体撮像装置に用いる光電変換素子として種々の変形例を適用可能である。これは、第1の実施の形態でも同様である。それらの実施の形態では、特に、特許（特許登録番号2935492号）に記載の光電変換素子と同じ構造の光電変換素子を用いているが、出力に容量を直結しても正確な信号電圧が得られるような他の構造の光電変換素子を用いることができる。

また、p型の基板11上のn型のエピタキシャル層12内に第1及び第2のウエル領域15a、15bを形成しているが、n型のエピタキシャル層12の代わりに、p型のエピタキシャル層にn型不純物を導入してn型ウエル層を形成し、このn型ウエル層内に第1及び第2のウエル領域15a、15bを形成してもよい。

以上説明したように、本発明によれば、アナログ差信号の振幅が適度なデジタル符号化アナログ入力レベルの範囲よりも小さいときでも、アナログ差信号を増幅してデジタル符号化アナログ入力レベルの範囲に適合させることができる。

これにより、アナログ差信号のデジタル化に際して、ダイナミックレンジを確保し、かつSN比を向上させることができる。

また、上記した固体撮像装置は、光信号検出用MOSトランジスタのチャネル下、ソース領域の周囲に光発生電荷を蓄積する高濃度埋込層を有し、画素の出力端であるソースに定電流源などの能動負荷を接続しなくても光信号を読み出し得ることを特徴としている。従って、ソースフォロワの負荷として、特性を揃えにくい定電流源を用いず、特性を揃えることが容易な容量のみを用いても表面電位を正確にソースに伝えることができる。これにより、固定パターンノイズを抑制しつつ信号読み出しが可能となる。

さらに、本発明の1つの態様によれば、行及び列に配列された画素と、画素からの出力信号を処理する、列毎に設けられたアンプとを有し、かつ少なくとも2つ列のアンプの演算増幅器の入力端子間に画素混合スイッチ素子を設けており、間引き動作時にこのスイッチ素子を接続して少なくとも2つの列の画素信号を混合し、平均化して各画素の映像信号として出力しているので、折り返しノイズのない画像、即ちモアレのない画像を得ることができ、消費電力も低減させることができる。